

Primjer: PWM (Pulse Width Modulation circuit)

Projektovati **PWM** kolo čiji **duty cycle** može imati vrijednosti $1/16, 2/16, \dots, 16/16$. Kontrolnim signalom **w** se zadaje **duty cycle**. **Duty cycle** će biti 1 kada **w** ima vrijednost "0000", odnosno, $w/16$ u ostalim slučajevima.

Rješenje:

Kada je u pitanju kvadratni talasni oblik (**square wave**), **duty cycle** se definiše kao procenat vremena u toku periode kada signal ima vrijednost '1'. **PWM** kolo na izlazu generiše signal čiji **duty cycle** se može kontrolisati.

Kolo se može realizovati upotrebom mod-16 brojača. Brojač prolazi kroz 16 stanja, kolo na izlazu upoređuje trenutno stanje brojača sa vrijednošću signala **w**, i na izlazu daje '1' dok je trenutno stanje brojača manje od **w**. Perioda izlaznog signala je 16 puta veća od periode takt impulsa. Signal na izlazu je u stanju '1' u trajanju $w/16$ svoje periode.

VHDL kod moguće realizacije **PWM**-a dat je u listingu 1.

Listing 1 – PWM

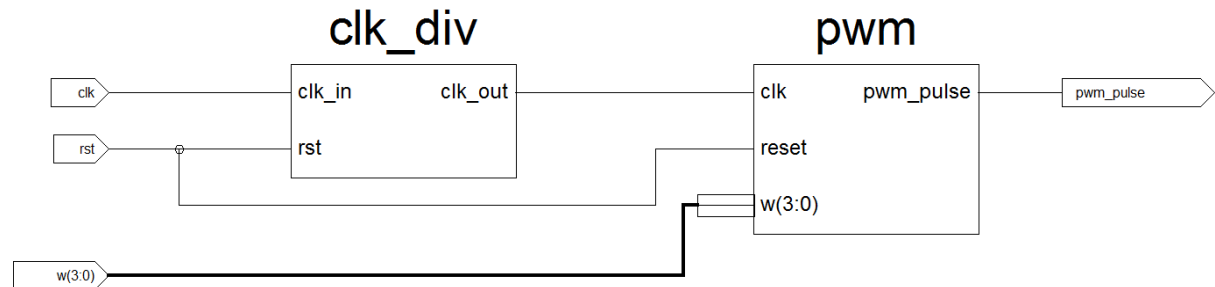
```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity pwm is
    port
    (
        clk, reset : in std_logic;
        w : in std_logic_vector(3 downto 0);
        pwm_pulse : out std_logic
    );
end pwm;

architecture arch of pwm is
    signal r_reg, r_next : unsigned(3 downto 0);
    signal buf_reg, buf_next : std_logic;
begin
    process(clk, reset)
    begin
        if (reset = '1') then
            r_reg <= (others => '0');
            buf_reg <= '0';
        elsif (clk'event and clk = '1') then
            r_reg <= r_next;
            buf_reg <= buf_next;
        end if;
    end process;
    r_next <= r_reg + 1;
    buf_next <=
        '1' when (r_reg < unsigned(w) or w = "0000") else
        '0';
    pwm_pulse <= buf_reg;
end arch;
```

Kreirati VHDL **testbench** (pogledati vježbe 4). Izvršiti simulaciju rada kola. Prikazati rezultate simulacije.

U cilju verifikacije rada sistema, razviti testno kolo kako je prikazano na slici 1 (pogledati vježbe 4). Vrijednost signala **w** zadati preko prekidača na razvojnoj ploči, signal **pwm_pulse** prikazati na jednoj od dioda.



Slika 1

Izvršiti procese **synthesize, translate, map i place & route**.

Izvršiti implementaciju kola uz pomoć **Spartan-3E Starter Kit** razvojne platforme (pogledati uputstvo u okviru vježbi 2) i verifikovati rad kola.